

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016337
 (43)Date of publication of application : 18.01.2002

(51)Int.CI. H05K 3/00
 G06F 17/50

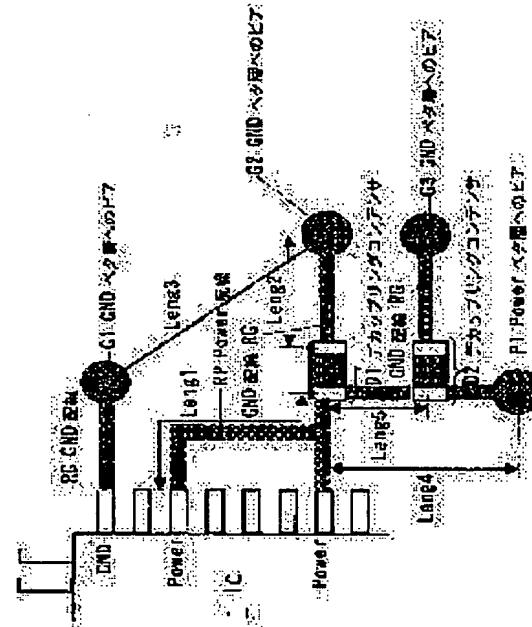
(21)Application number : 2000-196793 (71)Applicant : SONY CORP
 (22)Date of filing : 29.06.2000 (72)Inventor : ARAKI KENJI
 YOKOYAMA AYAO

(54) WIRING STRUCTURE CHECK SYSTEM FOR PRINTED BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To verify optimal capacitance and arrangement of decoupling capacitors corresponding to power pins or ground pins on a printed board.

SOLUTION: For a decoupling capacitor D1 connected with a high speed IC1, the number of power supply pins of the same potential as the high speed IC1 connected with the capacitor and presence of vias between the power supply pins of the same potential and the power supply pins of the capacitor are checked and optimal arrangement and capacity of the decoupling capacitors D1, D2 are calculated using a simple calculation expression. If temporarily designed current arrangement and capacity are different significantly from the calculation results, a message is delivered to designate optimization of the arrangement and capacity of a relevant decoupling capacitor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Family list

5 family members for:

JP2001282882

Derived from 4 applications.

1 DESIGN SUPPORT DEVICE TO SUPPORT DESIGN OF PRINTED CIRCUIT BOARD SUITED TO NOISE REDUCTIONPublication info: **JP2001282882 A** - 2001-10-12**2 A computer aided design apparatus for aiding design of a printed wiring board to effectively reduce noise**Publication info: **TW530229 B** - 2003-05-01**3 Computer aided design apparatus for aiding design of a printed wiring board to effectively reduce noise**Publication info: **US6631509 B2** - 2003-10-07**US2001034875 A1** - 2001-10-25**4 Computer aided design apparatus for aiding design of a printed wiring board to effectively reduce noise**Publication info: **US2004015804 A1** - 2004-01-22

Data supplied from the **esp@cenet** database - Worldwide

異なる経路をデカッピングコンデンサとLC電源ビンとの間に設けることが可能であることが判明となつた。また、一般的に、回路電流が流れている電流経路（ループ）のループ面積を小さくすれば、基板の放射エミッショ nを低減し、入射干渉の影響も低減できることが知られているが、上記デカッピングコンデンサを配置することで、上記のループ面積を小さく保つことができる。

【問題】上記問題を解決するため
【解説】本発明では、プリンタ基板上に既設された直擡の記
録情報装置をチェックするためのアリント基板の記録情報
装置システムであって、前記記録板上に存在する記録品
目リストから全てのICの記録番号を抽出すると共に、前
記記録板上に記録された記録番号と該記録番号を有する
記録装置の記録情報を比較する。
【問題】上記問題を解決するため
【解説】本発明では、プリンタ基板上に既設された直擡の記
録情報装置をチェックするためのアリント基板の記録情報
装置システムであって、前記記録板上に存在する記録品
目リストから全てのICの記録番号を抽出すると共に、前
記記録板上に記録された記録番号と該記録番号を有する
記録装置の記録情報を比較する。

GNDの経路を含むループが作用する回路において、故回路に常に蓄積するインダクタンスとデカップリングコンデンサとの自己共振周波数までは、特性インピーダンスは、自己共振周波数以上では、自己共振周波数と共振なし、自己共振周波数以下では、自己共振周波数と一致する。この特性は、自己共振周波数の低(低抵抗のみ)となる。しかし、自己共振周波数以上では、逆にインピーダンスが高くなり、それに伴い、デカップリングコンデンサの共振周波数を低めなくなる(効率的にノイズを除去することができるなくなる)ことも知られている。

1000016つまり、上記の理由により、前述ICが電源ブレーカー上に発生するRFエネルギーを効果的に除去するためには、デカップリングコンデンサの適切な容量

【0007】「発明が解決しようとする課題」ところで、近年のICの高速化と共に、電源ブレーンまたはグランドブレーンに過渡的な電流が供給される傾向があると共に、電源ピンまたはグランドピンのビン数が増加する傾向があり、どのピンに対して、どのデカップリングコンデンサが効いているのかが判別できないといった問題点があつた。

【0008】また、デカップリングコンデンサの効き目が悪いので、電源ブレーンまたはグランドブレーンで発生するバウンスノイズ（電源ブレーンまたはグランドブレーンの電位が周期的に変動するノイズ）が原因で発生する効果ノイズが増大するといった問題点が解決でき

（以下略）

100101 1 本発明は、上記記述のプリント基板の配線
構成設計上の問題点に鑑みてなされたものであり、チェック
ツールを用いた評価結果によれば、本発明は、上記記述のプリント基板の配線構成設計上の問題点を解消する目的を達成する。本発明は、上記記述のプリント基板の配線構成設計上の問題点を解消する目的を達成する。本発明は、上記記述のプリント基板の配線構成設計上の問題点を解消する目的を達成する。

（以下略）

あるような大規模回路において、テカツプリントコンデンサの各端子が受け持つ、電源ピン^{またはグランドピン}の区別を明確にし、かつ、上記電源ピン^{またはグランドピン}を含む回路において、テカツプリントコンデンサの適切な位置、及び、位置と配位差を決定することを可能にしている。

【0013】また、上記電源ピン周辺で発生すると思われるバウンスノイズを大幅に抑えることを可能にしている。さらに、腹バウンスノイズが原因で発生する放熱ノイズも大幅に抑えることを可能にしている。

と、該IC1への電荷供給となるデータプリングコンデンサD1、D2と、GND(接地)、ベータ管へのピア1、G2、G3と、Power(電源)、ベータ管へのピアPIR、GND端子PCKとPower端子PPCKを

0016] ここで、付号 Leng 1 は、IC 1 の上部の電源端子（ピン）からチャップリシングデンサン D1 までの Power 配線 RP の電源ピンに至るまでの配線距離

D1のGND配線からGNDベタ層へのビアG2に至るまでのGND配線Rが電短距離を示し、符号Length 3は、GNDビンからGNDベタ層へのビアG2に至るまでのGND配線Rを含む電短距離を示し、符号Length 4は、IC1のT部の電短距離とデータプリントアーチメント+D1とを結ぶ部分とPowerベタ層へのビアP1の中心を通る水平方向距離との間の電短距離を示し、符号Length 5は、データプリントアーチメント+D1との距離距離を示す。

ト基板の配線構造箇所チェックシステムのチェック対象となる配線構造を示す配線構造図である。**図2-4**は、本基板に用いるプリント基板の配線構造チェックシステムのチェック対象となる配線構造を示す配線構造図である。

[0018] 本実施の形態では、**図2**に示すマイクロス

が、本説明に係る配管構造システムは、一般に、図2に示すシングルストリップラインと呼ぶ配管構造、及び、図1に示すダブルストリップラインと呼ぶ配管構造に付しても適用することができる。

(プレーン層)と、電源ベタ層 21 上の配線 22 を備え、図 3 に示す配線構造は、電源ベタ層 31 と、電源ベタ層 32 を備え、図 4 に示す配線構造は、

電源ベタ層41と、電源ベタ層41回の2系統の配線42を備える。

符号wで示す長さは、配線の配線幅 (μm) を示し、符号lで示す長さは、配線の配線長を示し、符号dで示す長さは、マイクロストリップライン構造における配線とプレーン間に距離 (μm) を示し、符号bで示す長さは、シングルストリップライン構造におけるプレーン間に距離 (μm) を示し、符号aで示す長さは、ダブルストリップライン構造における配線と敷配線間に垂直距離

（b）では、ノルムドライバノイド曲面上における電極の配置距離 (μm) を示し、符号（e）は、シングルストリップライン構造における電源ベータ値 3.1 倍及びダブルストリップライン構造における電源ベータ値 4.1 倍の比較値を示し、符号（ \times_{int} ）は、ノルムドライバノイド曲面上における電極の配置距離 (μm) を示し、符号

2.1と記載2.2節の実効比誤差等を示す。
【0021】以下、本発明に係るアリンク基板の配線構成、
チャックシステムの機能を説明する。但し、本発明に
係るアリンクシステムの構成、アリンクシステムの構成等、

については、通常のコンピューターシステムが適用可能であるので、図示は省略する。

【0023】これにより、従来の設計工事を変えることなく、また、設計コストを上げることなく、電源フレーム、または、グランドフレーン部で発生するバウンスノイズ、若しくは、バウンスノイズが周囲で発生する外乱ノイズを大幅に抑える。

プリント基板の配線端部を接続方法の配線端部接続チャートシステムの動作を示すフローチャートである。以下、E11乃至E4を参照しつつ、図5～8に示すフローチャートを駆動して、本実地の形態に係るシステムの動作を説明す。

【0025】以下、待号「 τ 」を TIC 1周辺で想定される
バルス電流の立ち上がり時間 (S) とし、符号「
 τ 」をカッコアリグニシテシサ TIC の自己非閉

同部位の電源ピン本体が (7) 式に示す条件 ($m \leq 3$) を満たしているため、対策指示 (4) は表示出力しない。

[0057] 以上は、本発明の実施の形態に係るプリント基板の配線構造、チェックシステムのチェック対象となる配線構造の1例を示す配線構造である。以上に示す配線構造の仕様は、下記のとおりとする。

[0058] (1) 電源ピンの端子部はマイクロストリップラインとし、配線端 (W) を 0.40 (mm) = 400 (μm) とし、配線端 (1) を 0.04 (mm) = 40 (μm) とし、配線端 (h) を 0.10 (mm) = 10 (μm) とし、配線端 (n) を 0.30 とし、実効比長延性 (ϵ_{ext}) を 3.6 とする。

[0059] 以上～14は、本発明の実施の形態に係るプリント基板の配線構造チェックシステムを、図9に示す基板構造を例え、かつ図10に示す配線構造を備えたプリント基板を対象として実行した時の処理過程を示したフローチャートである。

[0060] 図11～14に示すフローチャートにおいて、太い実線で示す粗略は、上記実行において実際に実行された処理の粗略を示し、破線で示す粗略は、上記実行において実行されなかつた処理の粗略を示す。

[0061] ここでは、ステップS1～S10、S13、S14、S20、S15～S19、S23～S29、S32、S35、S33～S34、S36の粗略で、太い実線で示す粗略は、上記実行時ににおいて実際に実行された処理の粗略を示し、破線で示す粗略は、上記実行時ににおいて実行されなかつた処理の粗略を示す。

[0062] 以下、上記処理過程を、実際に実行された処理を示す。但し、ここでは、上記の定数K1を20とし、定数K2を10とし、定数K3を40とし、定数K4を40とし、定数K5を10とし、定数K6を3とし、定数K7を0.005とし、定数K10を30とする。

[0063] まず、ステップS1では、初期条件として、定数K1 = 20、定数K2 = 10、定数K3 = 40、定数K4 = 40、定数K5 = 10、定数K6 = 3、定数K7 = 0.005、定数K8 = 3、定数K9 = 30、定数K10 = 30と設定する。

[0064] ステップS2では、品番番号IC100を抽出する。ステップS3では、IC100が満適ICであることを確認する。ステップS4では、IC100の電源ピンの3番と7番とを抽出する。

[0065] ステップS5、S6では、電源ピン3番に注目し、そこには接続されているコンデンサD91とデカップリングコンデンサD92とを抽出する。

[0066] ステップS7では、IC100に接続されている同部位の電源ピンは、3番以外に7番が存在し、ステップS8では、上記7番に分類する。

[0067] 以上は、本発明の実施の形態に係る配線構造の1例を示す配線構造である。ステップS1～S10では、上記ビアG9と上記ビアP1との間の配線長 (Leng4) として 3.5 (mm) を測定する。ステップS2～S3では、デカップリングコンデンサD91について、C_{sum} = 3.6 (pF) と、デンサD91について、C_{sum} = 3.6 (pF) と、デカップリングコンデンサD92について、C_{sum} = 0.85 (μF) を算出する。

[0068] ステップS3～S2では、デカップリングコンデンサD91について、低誘電率 (即ち、実効比長) = $0.5 \leq L_{ext} \leq 1.0$ を満たしているため、対策指示 (5) は表示出力しない。

[0069] ステップS2～S4では、デカップリングコンデンサD91とデカップリングコンデンサD92との間の配線長 (Leng5) として 5.0 (mm) を測定する。ステップS2～S3では、上記電源ピン3番と7番と間電位 (Leng6) を測定する。ステップS2～S5では、(6) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0070] ステップS2～S4では、デカップリングコンデンサD91とデカップリングコンデンサD92との間の配線長 (Leng7) として 5.0 (mm) を測定する。ステップS2～S5では、(6) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0071] ステップS2～S4では、デカップリングコンデンサD91とデカップリングコンデンサD92との間の配線長 (Leng8) として 5.0 (mm) を測定する。ステップS2～S5では、(6) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0072] ステップS1～S10では、デカップリングコンデンサD91と上記ビアG9との間の配線長 (Leng9) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0073] ステップS1～S10では、デカップリングコンデンサD91と上記ビアG9との間の配線長 (Leng10) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0074] ステップS1～S10では、デカップリングコンデンサD91と上記ビアG9との間の配線長 (Leng11) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0075] ステップS1～S10では、デカップリングコンデンサD91と上記ビアG9との間の配線長 (Leng12) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0076] ステップS1～S10では、デカップリングコンデンサD91と上記ビアG9との間の配線長 (Leng13) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0077] ステップS1～S10では、デカップリングコンデンサD91と上記ビアG9との間の配線長 (Leng14) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0078] ステップS1～S10では、デカップリングコンデンサD91と上記ビアG9との間の配線長 (Leng15) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0079] ステップS1～S10では、デカップリングコンデンサD91と上記ビアG9との間の配線長 (Leng16) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

3 $\leq L_{ext} \leq 4$ (mm) を満たしているため、対策指示 (4) は表示出力しない。

[0080] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng17) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0081] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng18) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0082] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng19) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0083] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng20) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0084] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng21) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0085] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng22) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0086] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng23) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0087] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng24) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0088] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng25) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0089] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng26) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0090] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng27) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0091] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng28) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0092] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng29) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0093] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng30) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0094] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng31) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0095] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng32) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0096] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng33) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0097] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng34) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0098] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng35) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0099] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng36) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0100] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng37) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

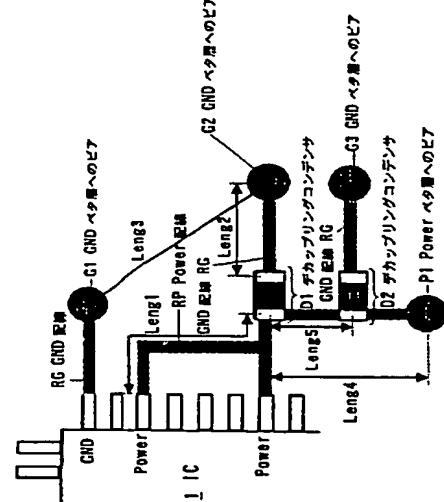
[0101] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng38) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0102] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng39) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

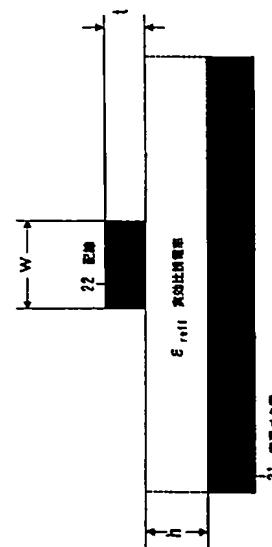
[0103] ステップS1～S10では、デカップリングコンデンサD91と上記ビアP1との間の配線長 (Leng40) として 3.5 (mm) を測定する。ステップS1～S10では、(1) 式に示す条件 ($L_{ext} \leq 0.5$) を満たしているため、対策指示 (5) は表示出力しない。

[0104] 以上は、本発明の実施の形態に係る配線構造の1例を示す配線構造である。

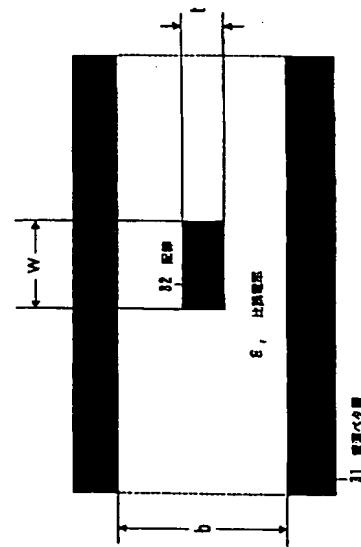
REST AVAILABLE COPY



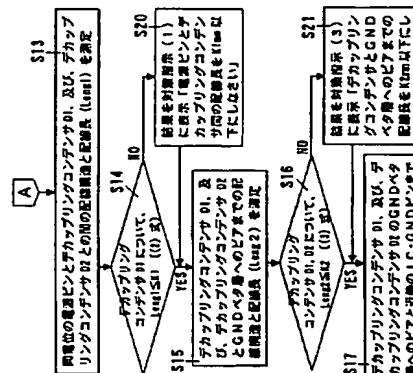
150



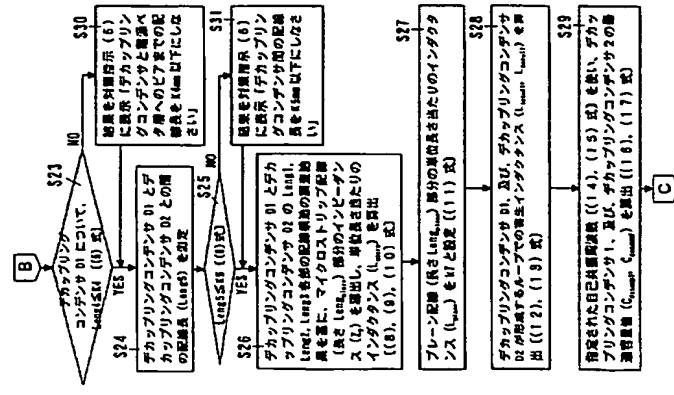
10



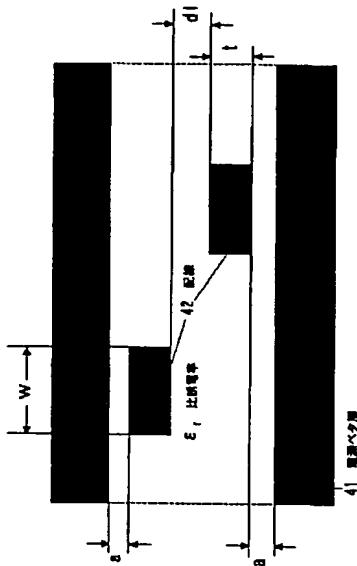
161



一
三



三



三

